Xilinx GTX transceiver仿真之xaui\_example

2018年3月7日

11:00

很久以来都很好奇复杂的Xilinx IP核是如何仿真的。就像东哥所说的“软件编程：从入门到放弃”，我的套路是“FPGA逻辑：从入门到放弃”，一直想更进一步，但所找到的资料都是只言片语（其实最主要是心没沉下来），树动、风动？其实是人的心在动。废话少说，总结一下GTX transceiver仿真过程，尽管仿真结果还没看明白！

一、资料预备篇

见到的最好的资料要数：

**1） 《xilinx平台DDR3设计教程之仿真篇\_中文版教程》**

**2）《eetop.cn\_xilinx平台DDR3设计教程之综合篇\_中文版教程》**

向作者致以崇高的敬意和深深的感谢，写的太好了！按照作者写的步骤做，基本上就可以成功了！由于作者是基于DDR3的IP核，我参考其他的文档准备的是GTX transceiver,仿真结果出现后，发现其套路都是一样的。

当然，文档中最权威的的当然要数xilinx官方出的Ug(User guide)系列文档了！这些文档很多时候假定用户都有一定基础，没有从零开始，因此导致照着文档做，总会有各种各样的毛病，给我等初学者带了无尽的痛苦，在此再次感谢DDR3仿真和综合教程的作者，功德无量！

我在进行试验时，参考Xilinx的文档如下：

**1） ug516 LogiCORE IP Virtex-6 FPGA GTX Transceiver Wizard User Guide**

该文档详细的介绍了从创建工程到开始仿真的步骤，直到P41 Functional Simulation of the Example Design这一节，不知道如何配置仿真时才参考的 《xilinx平台DDR3设计教程之仿真篇\_中文版教程》（这个文档详细介绍了如何编译Xilinx FPGA仿真库，以及如何配置仿真库，主要是将仿真库的信息补充进modelsim.ini文件中。

**2) ug366 Virtex-6 FPGA GTX Transceivers User Guide**

能找到ug516文档，还靠我先阅读ug366文档的，这个文档我也没细看（英语不好，看的太细时，头大）。对于像我这样的电工来说，英语一直是一个大坑，因为你很难像理解汉语一样理解英语。

二、仿真

1、仿真库编译

参考《xilinx平台DDR3设计教程之仿真篇\_中文版教程》文档，我用的是modelsim10.6 64bit，有点跟该文档不同，此外我编译库时，选的时both vhdl and Verilog，因为我们的设计中会有vhdl，另外从opencores下载的很多工程里面也会有vhdl工程，尽管我不太看得懂，但为了以后方便，我还是编译了适应于两种语言的仿真库。

2、仿真出错问题

仿真前先切换到仿真的functional目录下：

1）cd C:/Users/bobby/Xilinx/Projects/xaui\_example/ipcore\_dir/xaui\_wrapper/simulation/functional

*\*注意目录路径分隔符采用的是Unix格式的"/" 而非"\"。*

# \*\* Error: can't read "env(XILINX)": no such variable

do simulate mti.do 
* Error: can't read "env (XILINX) no such variable 
Error In macro . / 
simulate mti.do Line 70 
no such variable 
(read trace on "env (XILINX) 
invoked f mm within 
"set xlLINx ;env " 

查了一下网上资料：

AR# 39673 Modelsim - Error: can't read "env(XILINX)": no such variable

<https://www.xilinx.com/support/answers/39673.html>



给出的解决方法有三种，我直接的做法是：

用ISE的路径 D:/Xilinx/14.7/ISE\_DS/ISE 替代 $env(XILINX)

51 
52 
53 
55 
56 
58 
59 
70 
n 
72 
73 
74 
75 
76 
77 
78 
79 
30 
•g it-status': MATLA3 X 
simulate mti.do 
## If MT I L IBS is defined, map unisim ant 
## This mode of mapping the unisims libr; 
## compatibility with previous wizard re: 
## the unisim libraries will be loaded fl 
## your modelsim. ini file 
XILINX $env(XILINX 
set .XILINX. • .D: /Xi1inx/14.7/1SE DS/ISE 
set PITI L IBS $env(MT1 L IBS) 
vlib UNISIMS VER 
vlib SECUREIP 
vmap UNISIMS VER $MTI 
vmap SECUREIP $MTI LIBS/secureip 

3、仿真

cd C: / Users/ bobby/XiIinx/Pmjects/xaui example/ipcore dir/xaui w 
rapper / s imulaticn/ functional 
Cannot change directory while a simulation is in progress. 
# Use the "quit -sim" command to unload the design first. 
VSIM quit -srm 
ModelSim> cd C: / Users/ bobby/XiIinx/Projects/xaui example/ ipcore_di 
r / xaui_wrapper / s imulation/ functional 
reading ruzdelsrm. Ini 
ModelSim>do simulate mti.do 
D:/Xi11nx/14.7/1SE DS/ISE 
Yodel Technology YodelS1m SE—64 vmap 10.4 Lib Mapping Utility 2 
014.12 Dec S 2014 
vmap —modelsim_quiet SECUREIP c:/modeItech64 10.4/ xlib/secureip 
Modifying ruzdelsrm. Ini 
Warning: (vIib—34) Library already exists at "work" . 
Yodel Technology YodelSim SE—64 vmap 10.4 Lib Mapping Utility 2 
014.12 Dec S 2014 
vmap —models im_quiet work work 
Modifying ruzdelsrm. Ini 
Yodel Technology YodelSim SE—64 vIog 10 
s 2014 
.4 compiler 2014.12 Dec 

quit -sim

cd C:/Users/bobby/Xilinx/Projects/xaui\_example/ipcore\_dir/xaui\_wrapper/simulation/functional

# reading modelsim.ini

do simulate\_mti.do

# D:/Xilinx/14.7/ISE\_DS/ISE

# Model Technology ModelSim SE-64 vmap 10.4 Lib Mapping Utility 2014.12 Dec 3 2014

仿真结果：

1 
Wave 
File Edit View Add Format Tools B 。 。 一 ” ma Window 工 p 
9D128718 叼 t09D29E27D 叼 
—— RXCLKCORCNT OUT 
1 , RXCH80NDLEVEL_lN 
1 | RXNOTI 乛 {TABLE OUT 
1 | RXDISPERR OUT 
1 | RXCHARISK OUT 
1 | RXCHARISCOMMA OUT 
1 , TXPOWERDOWN_IN 
1 , RXPOWERDOWN IN 
1 , LOOPEACK_IN 
1 | ERROR_COI 」 乛 
1 , RX_DATA 
1 | ERROR_COI 」 乛 
1 | ERROR_COU 乛 
1 , RX_DATA 
1 | ERROR_COI 」 乛 
1 , RX_DATA 
"-—å RX_DATA 
, , “ search 
RXENCHANSYNC IN 
RXCH80NDSLAVE IN 
RXCH80NDMASTER IN 
RXEYTEREALIGN OUT 
RXEYTEISALIGNED OUT 
RXCHANBONDSEQ_OIJT 
' 乛 t_of_packet_detected 「 
' data error detected 「 
' track data 「 
da er 「 0 「 detected 「 
' a data 「 
' 乛 t_of_packet_detected 「 
' track data 「 
' 乛 t_of_packet_detected 「 
' data error detected 「 
Receive ports , 00d Correction ports 
FRAME CHECK MODULEgtXO_frame_check 
Receive ports , Comma Detection and Alignment 
Receive ports , Channel Bonding ports 
Receive Ports , 8bIOb Decoder 
Loopback and Ponerdown Ports 
G70 XAIJI WRAPPER 
FRAME CHECK MO 」 LE 3 | ame Check 
FRAME CHECK MO 」 LE 2 | ame Check 
FRAME CHECK MO 」 LE 1 | ame Check 
data error detected r 
start of k 「 
track data r 
FRAME CHECK M0宴 」 LEgtXO_frame Check 
Cursor 1 
811D2 
811D2 
811D2 
811D2 
16- h717D 
16- h71 
16- h717D 
16- h717D 
90055063 ps 
I"i"llil'ilililililili"lill'l'ilill'l'ilill'l'ilill•• 
16 0b 16 Oc 15 OfOe 111D 16 13 16 14 
16 0b 16 Oc 15 OfOe 111D 16 13 16 14 
16 0b 16 Oc 15 OfOe 111D 16 13 16 14 
16 0b 16 Oc 15 OfOe 111D 16 13 16 14 
90140000 
90160000 
1715 19 16 la 15 Id Ic Ifle 16 2 
1715 19 16 la 15 Id Ic Ifle 16 2 
1715 19 16 la 15 Id Ic Ifle 16 2 
1715 19 16 la 15 Id Ic Ifle 16 2 
90180000 
90200000 
90220000 
15 2524 112725 1E1129 1E11 2a 112d2n 1E11 
15 2524 112725 1E1129 1E11 2a 112d2n 1E11 
15 2524 2725 16 29 16 2d2c 16 
15 2524 2725 16 29 16 2d2c 16 
90240000 
90260000 
15 3332 113534 1E11 
15 3332 113534 1E11 
90280000 
1E11 38 11 
1E11 38 11 
1E11 38 11 
1E11 38 11 

4、仿真--使用Isim

使用ISE的 command promt（类似dos界面），切换至仿真目录..\xaui\_example\ipcore\_dir\xaui\_wrapper\simulation\functional

C:\Users\bobby\Documents\Verilog\xaui\_example\ipcore\_dir\xaui\_wrapper\simulation\functional

运行命令 simulate\_isim.bat

仿真结果如下：

1Sim (2.201310 
ntitled 
File Edit View Simulation Window Layout Help 
Inst ances 
and Processes 
Simulator is d ng 
1 alization pr 
x aul 1 pcore dlr x aul wrapper/ simulati on/ demo tb v" 
833333 
Name 
Instance and Process Name 
DEMO Ta 
xaui wrapper_top_i 
CZ Cont 112_1 
cont 120 4 
Initial 122 5 
CZ Initial_133 6 
CZ Always 137_7 
Initial 142 g 
Always 146_10 
Always 157_13 
Initial 171 IS 
CZ Initial_190 16 
Ins t 
console 
Object Name 
tx_ refc/k_p_ r 
rx_ refc/k_p_ r 
track data i 
rxn_ in_ (3:01 
rxp_ in_ 
txn_ out_ (3:01 
txp_ out_ 
tied_ to_grou. 
tx refc/k n r 
rx refc/k n r 
drp_ c/k_ r 
tx usrc/k r 
rx usrc/k r 
gsr_ r 
gts_ r 
reset i 
track data hi... 
track data 10... O 
rx REFCLK P.. 
S. 4000000000t 
RX REFCLK 
s _ 4000000000t 
Value 
0000 
0000 
o 
o 
O 
O 
n TXPREEMPHAf 
16 TXDLYALIGNDI 
16 TXDLYALIGNM 
TXDLYALIGNM 
16 TXDLYALIGNRE 
16 TXENPMAPHA 
16 TXPMASETPH' O 
16 GTXTXRESET_ff O 
16 TXRESETDONE 
TXENPR&STST 
000 
16 TXPR&SFORCEI 
16 TXELECIDLE_IN 
Value 
0000 
00000000 
Xl: 51.833333 us 
Untitled 
IS im 20131013 (signature 
This is a Full version of 
ox7708fogo) 
circuit 
hed circuit initialization 
TEST PASSED - 
console 
e C / U / bobbv/DOCIM.ents/VeriIoz 

5、实现一个设计例程（综合）

1）使用脚本综合

使用ISE的 command promt（类似dos界面，切换至implement目录：

> cd xaui\_wrapper\implement

> implement.bat

生成的文件位于implement/results目录下。

2）使用ISE综合

用ise打开..\xaui\_example\ipcore\_dir\xaui\_wrapper.xise，综合后可以看到其RTL图如下：

ORP CLK IN 
GTXRXRESET IN 
GTXTXRESET IN 
CLKI MGTREFCLK PAD N IN 
CLKI MGTREFCLK PAD P IN 
xaui_wrapper_top 
xaui_wrapper_top 
TRACK DATA 0U 

6、后仿真

Modelsim下切换到C:/Users/bobby/Documents/Verilog/xaui\_example/ipcore\_dir/xaui\_wrapper/simulation/netlist目录

cd C:/Users/bobby/Documents/Verilog/xaui\_example/ipcore\_dir/xaui\_wrapper/simulation/netlist

执行脚本：

do simulate\_mti.do

Wave 
File Edit View 
Add 
Search: 
Format 
6.4 
6.4 
20 
lhl 
1b 1 
I'hx 
l'ho 
l'ho 
l'ho 
l'ho 
l'ho 
1b 1 
41-10 
41-10 
Ibo 
Tools Bookmarks Window Help 
100 
l'ho 
[3] 
[3] 
[3] 
[3] 
91000000 ps 
85204000 
85205937 ps 
85204500 
85205000 
85205500 
6000 
85205937 s 
85206500 
85207000 
85207500 
85208000 
85208500 
85209000 
Cursor I 
85203828 to 85209346 

File Edit 
View 
Add 
Search: 
Format 
6.4 
6.4 
20 
l'ho 
l'ho 
I'hx 
l'ho 
l'ho 
1b 1 
l'ho 
1b 1 
1b 1 
41-10 
41-10 
Ibo 
Tools Bookmarks Window Help 
Msgs 
'DEMO _TB_1MP/tx— 
IDEMO_TB 
_IMP /gsr _r 
l'ho 
4'h2 4'ho 

参考资料：

《Xilinx FPGA应用进阶 通用IP核详解和设计开发》

来自 <<http://dl.21ic.com/download/code/xilinx-253310.html>>

DDR3仿真结果：

Wave 
File Edit 
V iew 
Add 
Search: 
Format Tools Bookmarks Window Help 
'sim _tb _top/sys_r st_n 
'sim _tb _top/sys_r st 
'sim _tb 
'sim _tb 
'sim _tb 
'sim _tb _top/dk_r e f_i 
'sim _tb _top/dk_r e f_p 
'sim _tb _top/dk_r e f_n 
'sim _tb _top/ddr ese t_n 
'sim _tb _top/ddr 3_dq figa 
'sim _tb _top/ddr 
'sim _tb _top/ddr figa 
'sim _tb _top/ddr 3_addr _figa 
'sim _tb _top/ddr 3_ba figa 
'sim _tb _top/ddr 3_r as_n figa 
'sim _tb _top/d dr 3_cas_n figa 
'sim _tb _top/ddr 3_vve _n figa 
'sim _tb _top/ddr 3_cke fig a 
'sim _tb _top/ddr a 
'sim _tb _top/ddr fig a 
'sim _tb te 
_compar e _err or 
'sim _tb _top/d d r 3_cs_n _figa 
'sim _tb _top/ddr 3_dm fig a 
'sim _tb _top/d dr 3_od tfiga 
'sim _tb _top/ddr 3_cs_n _sdr am _tmp 
'sim _tb _top/ddr 3_dm _sdr am _tmp 
'sim _tb _top/ddr 3_od t_sdr am _tmp 
'sim 
'sim _tb _top/ddr 3_vve _n _sdr am 
'sim _tb _top/ddr _sdr am 
'sim _tb _top/ddr 3_od t_sdr am 
'sim _tb _top/ddr 3_cke _sdr am 
'sim _tb _top/ddr 3_dm _sdr am 
'sim _tb _top/ddr 3_dqs_p_sdr am 
'sim _tb _top/ddr _sdr am 
'sim _tb _top/ddr 3_ck_p_sdr am 
'sim _tb _top/ddr 3_ck_n _sdram 
Cursor I 
0000 
5192828993 fs 
215274851 fs 
0000 
100000000 fs 
100 
200000000 
215274851 fs 
300000000 fs 
400000000 fs 
500000000 fs 
600000000 fs 
700000000 fs 
800000000 fs 
900000000 fs 
O fs to 991686550 fs 
Non: & Delta: o 